

3/5/1

DIALOG(R) File 351:Derwent WPI
(c) 2005 Thomson Derwent. All rts. reserv.

014453487 **Image available**
WPI Acc No: 2002-274190/ 200232
XRPX Acc No: N02-213890

Adapter card system, has adapter cards each having ROM in which circuit information for card operating alone, and circuit information for cards operating in cooperation are written

Patent Assignee: SHARP KK (SHAF)
Number of Countries: 001 Number of Patents: 001
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2001331767	A	20011130	JP 2000150502	A	20000522	200232 B

Priority Applications (No Type Date): JP 2000150502 A 20000522

Patent Details:
Patent No Kind Lan Pg Main IPC Filing Notes
JP 2001331767 A 21 G06K-017/00

Abstract (Basic): **JP 2001331767 A**

NOVELTY - Each adapter card (11,12) has a ROM in which circuit information for a card operating alone, and circuit information for cards operating in cooperation are written. An adapter control circuit performs a control for operating the cards in cooperation. In the apparatus main body, a FPGA shared control circuit which performs the control for operating the cards in cooperation with the adapter control circuit is provided.

DETAILED DESCRIPTION - The apparatus main body is also provided with a circuit interface for connecting the signal of the circuit of the apparatus main body, and the signal of FPGA.

USE - For function extension of microcomputer application system.

ADVANTAGE - Improves performance of adapter card during operation, when adapter cards operate in cooperation.

DESCRIPTION OF DRAWING(S) - The figure is a block diagram showing the adapter card system.

Adapter card (11,12)

pp; 21 DwgNo 1/16

Title Terms: CARD; SYSTEM; CARD; ROM; CIRCUIT; INFORMATION; CARD; OPERATE; CIRCUIT; INFORMATION; CARD; OPERATE; COOPERATE; WRITING

Derwent Class: T01; T04; U13

International Patent Class (Main): G06K-017/00

International Patent Class (Additional): G06F-003/08; G06F-011/00;

G06K-019/07

File Segment: EPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-331767
(P2001-331767A)

(43) 公開日 平成13年11月30日 (2001. 11. 30)

(51) Int.Cl. ⁷	識別記号	F I	データ* (参考)
G 0 6 K 17/00		G 0 6 K 17/00	D 5 B 0 3 5 B 5 B 0 5 8
G 0 6 F 3/08 11/00		G 0 6 F 3/08 9/06	A 5 B 0 6 5 6 3 0 A 5 B 0 7 6
G 0 6 K 19/07		G 0 6 K 19/00	N
審査請求 未請求 請求項の数 6 O L (全 21 頁)			

(21) 出願番号 特願2000-150502(P2000-150502)

(22) 出願日 平成12年5月22日(2000. 5. 22)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 各務 彰浩

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100108338

弁理士 七條 耕司 (外1名)

Fターム(参考) 5B035 BB09 CA22

5B058 CA02 CA13 KA01 KA04 KA12

5B065 BA09 CA07 CA12 CA14 CA16

ZA05

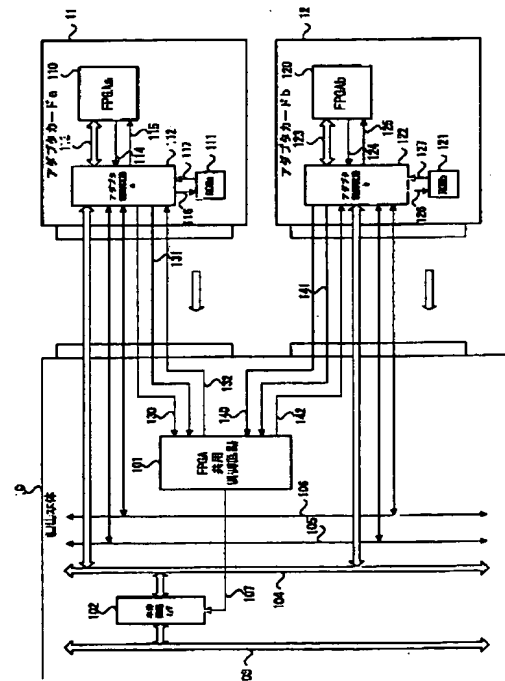
5B076 BA04 BB15

(54) 【発明の名称】 アダプタカードシステム

(57) 【要約】

【課題】 動作休止中のアダプタカード内のFPGAを無駄にせず、そのFPGAを他のアダプタカードの一部として利用できるシステムを提供すること。

【解決手段】 各アダプタカードは、再プログラミングできるFPGAと、カードが単体で動作するための回路情報と複数のカードが協調して動作するための回路情報が書き込まれているROMと、各カードを協調して動作させるための制御を行うアダプタ制御回路を有し、機器本体内には、アダプタ制御回路と共に各カードを協調して動作させるための制御を行うFPGA共用制御回路と、本体回路の信号とFPGAの信号を接続するための本体回路I/Fを有する。



【特許請求の範囲】

【請求項1】 アダプタカードを接続できるスロットを2つ以上持つ機器本体と、この機器本体のスロットに接続できる2つ以上のアダプタカードを含むアダプタカードシステムであって、
 各アダプタカードは、
 再プログラミングできるFPGA (Field Programable Gate Array) と、
 アダプタカードが単体で動作するための回路情報と複数のアダプタカードが協調して動作するための回路情報とが書き込まれているROMと、
 各アダプタカードを協調して動作させるための制御を行うアダプタ制御回路とを含み、
 機器本体には、
 前記アダプタ制御回路と共に各アダプタカードを協調して動作させるための制御を行うFPGA共用制御回路と、本体回路の信号とFPGAの信号を接続するための本体回路I/Fとを含み、
 前記アダプタ制御回路は、
 前記ROMから読み出したアダプタカードが単体で動作するための回路情報を、前記FPGAに書き込む通常のFPGAプログラミング手段と、
 前記ROMから読み出した複数のアダプタカードが協調して動作するための回路情報を、前記FPGAと別のアダプタカード上のFPGAに書き込むマスタFPGAプログラミング手段と、
 別のアダプタカード上のROMから読み出された2つ以上のアダプタカードが協調して動作するための回路情報を、前記FPGAに書き込むスレーブFPGAプログラミング手段と、
 単体で動作すべきか、マスタとして協調動作する要求を出すべきか、スレーブとして協調動作できる状態かを、判断する協調動作要求判定手段と、
 他のアダプタカードをスレーブとして協調動作させたいときに、機器本体内の前記FPGA共用制御回路に協調動作を要求する協調動作要求手段と、
 自アダプタカードが一時的に動作していないことを機器本体内の前記FPGA共用制御回路に示す休止表示手段と、
 他のアダプタカードをスレーブとして協調動作させることが受け付けられたときに、受け付けられたことを示す信号を受け取るマスタ受付認識手段と、
 他のアダプタカードをマスタとして協調動作させる指示を受け付けるスレーブ受付認識手段と、
 アダプタカードが単体で動作するとき単体動作にFPGAからの信号を機器本体の信号線に接続する通常の信号接続手段と、
 アダプタカードがマスタとして他のアダプタカードと協調動作を行うときに、マスタ協調動作にFPGAからの信号を機器本体の信号線に接続するマスタ信号接続手

段と、

アダプタカードがスレーブとして他のアダプタカードと協調動作を行うときに、スレーブ協調動作にFPGAからの信号を機器本体の信号線に接続するスレーブ信号接続手段とを含み、
 前記FPGA共用制御回路は、
 各アダプタカードからの前記協調動作要求を認識する協調動作要求認識手段と、
 前記休止表示を認識する休止表示認識手段と、
 ある1つのアダプタカードをマスタとして、また、他の1つのアダプタカードをスレーブとして協調動作させられると判断する協調動作受付判定手段と、
 前記マスタ受付をアダプタカードに伝えるマスタ受付表示手段と、
 前記スレーブ受付をアダプタカードに伝えるスレーブ受付表示手段と、
 各アダプタカードからの入出力信号を、機器本体回路の信号に接続するための信号接続情報を出力する、信号接続情報出力手段とを含み、
 前記本体回路I/Fは、
 各アダプタカードからの入出力信号を、機器本体回路の信号に接続するための前記信号接続情報を、前記FPGA共用制御回路から受け取る信号接続情報入力手段と、
 前記信号接続情報に基づき、各アダプタカードからの入出力信号を、機器本体回路の信号に接続するアダプタ本体間信号接続手段とを含み、ことを特徴とするアダプタカードシステム。

【請求項2】 請求項1記載のアダプタカードシステムにおいて、
 前記アダプタ制御回路は、機能信号接続部と、ROMデータ切換部と、ROM制御信号切換部と、制御信号生成部とを含み、
 前記機能信号接続部は、前記制御信号生成部からの制御により、FPGAの入出力信号から必要な信号のみを選択して、外部の信号と接続する機能信号選択手段を含み、
 前記ROMデータ切換部は、前記制御信号生成部からの制御により、本アダプタカード内のROMから読み出されたデータを本アダプタカード内のFPGAへ送るか、本アダプタカード内のROMから読み出されたデータを別のアダプタカード内のFPGAへ送るか、別のアダプタカードから送られてきたデータを本アダプタカード内のFPGAへ送るかを切り換える、ROMデータ切換手段を含み、
 前記ROM制御信号切換部は、前記制御信号生成部からの制御により、ROMの読み出し制御を本アダプタカード内のFPGAから行うか、別のアダプタカード内のFPGAから行うかを切り換える、ROM制御信号の切り換え手段を含み、
 前記制御信号生成部は、前記機能信号接続部と、前記R

OMデータ切換部と、前記ROM制御信号切換部を制御する手段と、前記FPGA共用制御回路とハンドシェイクを行う手段とを含む、ことを特徴とするアダプタカードシステム。

【請求項3】 請求項2記載のアダプタカードシステムにおいて、

前記制御信号生成部は、

外部ステータス信号や、本アダプタカード内のFPGAからのステータス信号を入力する端子と、

外部ステータス信号や本アダプタカード内のFPGAからのステータス信号の状態と前記FPGA共用制御回路とのハンドシェイクにより、本アダプタカードが独立動作をするか、マスタ動作をするか、スレーブ動作をするか判定し、それぞれの動作に、前記機能信号接続部、前記ROMデータ切換部、前記ROM制御信号切換部を制御する手段とを含む、ことを特徴とするアダプタカードシステム。

【請求項4】 請求項1記載のアダプタカードシステムにおいて、

前記FPGA共用制御回路は、

各アダプタカードからのマスタ要求を示すリクエスト信号、動作状態か休止状態かを示す動作／休止信号を受け取り、マスタ要求をしているアダプタカードに対して、マスタ要求を受け付けるかどうか判定し、各アダプタカードへの受付信号を制御する手段と、

各アダプタカードの動作状態に応じて、前記本体回路I/Fへ制御信号を送る手段とを含む、ことを特徴とするアダプタカードシステム。

【請求項5】 請求項1記載のアダプタカードシステムにおいて、

前記機器本体はアダプタカードを接続できるスロットを3つ以上持ち、この機器本体のスロットに接続できる3つ以上のアダプタカードを含むシステムとして構成され、

各アダプタカードは、各アダプタカードを協調して動作させるための制御を行うアダプタ制御回路を含み、

機器本体には、アダプタ制御回路と共に各アダプタカードを協調して動作させるための制御を行うFPGA共用制御回路を含み、

前記アダプタ制御回路は、

前記アダプタカードが、別のアダプタカード上のROMから読み出された3つ以上のアダプタカードが協調して動作するための回路情報のうち、自アダプタカード用の、スレーブ用データを、自アダプタカード内のFPGAに書き込む、選択スレーブFPGAプログラミング手段と、

他の2つ以上のアダプタカードをスレーブとして協調動作させるときに、スレーブの数ごとの協調動作データ、自アダプタカード上のROMから読み出す、選択ROMデータ読み出し手段とを含む、

前記FPGA共用制御回路は、

3つ以上のアダプタカードに対して、1つのアダプタカードをマスタとして、また、他の2つ以上のどのアダプタカードがスレーブとして協調動作させられるかを判断する、複数スレーブ協調動作受付判定手段を含む、ことを特徴とするアダプタカードシステム。

【請求項6】 請求項1記載のアダプタカードシステムにおいて、

前記機器本体に、再プログラミングできるFPGAを含み、

前記アダプタ制御回路は、前記アダプタカード上のFPGAと、機器本体上のFPGAにデータを書き込む、本体FPGAプログラミング手段を含み、

前記FPGA共用制御回路は、ある1つのアダプタカードをマスタとして、また、機器本体内のFPGAをスレーブとして協調動作させられると判断するアダプタ本体協調動作受付判定手段を含む、ことを特徴とするアダプタカードシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロコンピュータ応用システムに適用される、機能拡張のためのアダプタカードを用いたシステムに関する。

【0002】

【従来の技術】マイクロコンピュータ応用システムには、パーソナルコンピュータ、携帯端末、通信機器、TVゲーム機など数多くのものがある。それらのシステムでは、機器本体の性能を上げるためや、新しい機能を追加するために、アダプタカードを取り付けられるように設計されているものが多い。機器本体にアダプタカードを接続している従来のシステムの一例を説明する。

【0003】図15は、機器本体にアダプタカードを接続しているシステム（アダプタカードシステム）の一例を示すブロック図であり、同図において、1500は機器本体、1501はアダプタカードa、1502はアダプタカードbである。

【0004】図15に示した従来技術の一例では、機器本体にアダプタカードを接続しているシステムは、機器本体1500と、アダプタカードa1501と、アダプタカードb1502とから構成されている。また、アダプタカードa1501は、FPGA（Field Programmable Gate Array）a1520と、ROMa1521とを含み、アダプタカードb1502は、FPGA b1530と、ROMb1531とを含んで構成されている。

【0005】図15に示す構成において、アダプタカードa1501中のFPGA a1520は、電源投入時、ROM制御信号a1523によりROMa1521の読み出しを行い、読み出されたROMデータa1522はFPGA a1520に転送されて、FPGA a1520はそのデータを読み込んで、内部の回路をプログラミン

グする。アダプタカードb1502中のFPGA b1530も同様に、電源投入時、ROM制御信号b1533によりROM b1531の読み出しを行い、読み出されたROMデータb1532はFPGA b1530に転送されて、FPGA b1530はそのデータを読み込んで、内部の回路をプログラミングする。

【0006】FPGA a1520とFPGA b1530は、機器本体1500中の本体回路バス1510を通して、機器本体1500とデータのやり取りを行いながら、それぞれ各アダプタカード毎に、所定の処理を行う。ここで、FPGA a1520、FPGA b1530からの信号は、例えば、図16に示すように本体回路バス1510中の信号と接続される。

【0007】図16において、FPGA a1520の信号FSiga0～FSiga7とFPGA b1530の信号FSigb0～FSigb7は、本体回路の信号Sig0～Sig7に接続されている。また、FPGA a1520の信号FSiga16～FSiga23とFPGA bの信号FSigb16～FSigb23は、本体回路の信号Sig8～Sig15に接続されている。

【0008】また、特開平9-259068号公報「拡張入出力インターフェイス」には、本体機器内のPLD (Programmable Logic Device) を使用して、拡張ボード内の回路を削減する方法が開示されている。すなわち、この先願公報に開示された技術では、各拡張入出力インターフェイスボード内にはデコード回路などを持たず、各拡張入出力インターフェイスボード内のROMに、デコード回路などの回路情報を持たせて、本体機器(パーソナルコンピュータ)内のPLDをそのROMによりプログラミングするようにしている。

【0009】

【発明が解決しようとする課題】図15に示したような、従来のシステムにおいては、各アダプタカードは各々独立して動作しており、あるアダプタカードが一定時間動作していない場合でも、動作していないアダプタカード内の回路は別の用途には使用できず、非効率であった。

【0010】また、特開平9-259068号公報に開示されている方法では、動作していない拡張ボード用のデコード回路などは、本体機器内のPLD内にあるが、拡張ボードが未使用時には、使われず、無駄になっていた。

【0011】本発明の目的は、動作休止中のアダプタカード内のFPGAを無駄にせず、他のアダプタカードの一部として使用することにより、他のアダプタカードの性能を上げることができるアダプタカードシステムを提供することである。また、本体機器内にFPGAを持つ場合は、そのFPGAを、必要とするアダプタカードに効率よく使わせることにより、システムの性能を上げる

ことが可能になるアダプタカードシステムを提供することである。

【0012】

【課題を解決するための手段】本発明によるアダプタカードシステムの代表的な1つの発明では、システムは、アダプタカードを接続できるスロットを2つ以上持つ機器本体と、機器本体のスロットに接続できる2つ以上のアダプタカードとから構成される。各アダプタカードは、再プログラミングできるFPGAと、アダプタカードが単体で動作するための回路情報と複数のアダプタカードが協調して動作するための回路情報が書き込まれているROMと、各アダプタカードを協調して動作させるための制御を行うアダプタ制御回路とを、含んだもので構成される。また、機器本体内には、アダプタ制御回路と共に各アダプタカードを協調して動作させるための制御を行うFPGA共用制御回路と、本体回路の信号とFPGAの信号を接続するための本体回路I/Fとが、含まれた構成とされる。

【0013】ここで、前記アダプタ制御回路は、(1)前記ROMから読み出したアダプタカードが単体で動作するための回路情報を、前記FPGAに書き込む通常のFPGAプログラミング手段と、(2)前記ROMから読み出した2つ以上のアダプタカードが協調して動作するための回路情報を、前記FPGAと別のアダプタカード上のFPGAに書き込むマスタFPGAプログラミング手段と、(3)別のアダプタカード上のROMから読み出された複数のアダプタカードが協調して動作するための回路情報を、前記FPGAに書き込むスレーブFPGAプログラミング手段と、(4)単体で動作すべきか、マスタとして協調動作する要求を出すべきか、スレーブとして協調動作できる状態かを、判断する協調動作要求判定手段と、(5)他のアダプタカードをスレーブとして協調動作させたいときに、機器本体内のFPGA共用制御回路に協調動作を要求する協調動作要求手段と、(6)自アダプタカードが一時的に動作していないことを機器本体内のFPGA共用制御回路に示す休止表示手段と、(7)他のアダプタカードをスレーブとして協調動作させることが受け付けられたときに、受け付けられたことを示す信号を受け取るマスタ受付認識手段と、(8)他のアダプタカードをマスタとして協調動作させる指示を受け付けるスレーブ受付認識手段と、(9)アダプタカードが単体で動作するとき単体動作作用にFPGAからの信号を機器本体の信号線に接続する通常の信号接続手段と、(10)アダプタカードがマスタとして他のアダプタカードと協調動作を行うときに、マスタ協調動作作用にFPGAからの信号を機器本体の信号線に接続するマスタ信号接続手段と、(11)アダプタカードがスレーブとして他のアダプタカードと協調動作を行うときに、スレーブ協調動作作用にFPGAからの信号を機器本体の信号線に接続するスレーブ信号接続手段

とを、含んだ構成をとる。

【0014】また、前記FPGA共用制御回路は、

(1) 各アダプタカードからの前記協調動作要求を認識する協調動作要求認識手段と、(2) 前記休止表示を認識する休止表示認識手段と、(3) ある1つのアダプタカードをマスタとして、また、他の1つのアダプタカードをスレーブとして協調動作させられると判断する協調動作受付判定手段と、(4) 前記マスタ受付をアダプタカードに伝えるマスタ受付表示手段と、(5) 前記スレーブ受付をアダプタカードに伝えるスレーブ受付表示手段と、(6) 各アダプタカードからの入出力信号を、機器本体回路の信号に接続するための信号接続情報を出力する、信号接続情報出力手段とを、含んだ構成をとる。

【0015】また、前記本体回路I/Fは、(1) 各アダプタカードからの入出力信号を、機器本体回路の信号に接続するための信号接続情報を、前記FPGA共用制御回路から受け取る信号接続情報入力手段と、(2) 前記信号接続情報に基づき、各アダプタカードからの入出力信号を、機器本体回路の信号に接続するアダプタ本体間信号接続手段とを、含んだ構成をとる。

【0016】さらに、本発明によるアダプタカードシステムの代表的な他の1つの発明では、システムは、上述したアダプタカードシステムの構成に加えて、機器本体内に、再プログラミングできるFPGAを含み、アダプタ制御回路は、アダプタカード上のFPGAと機器本体上のFPGAにデータを書き込む、本体FPGAプログラミング手段を含み、FPGA共用制御回路は、ある1つのアダプタカードをマスタとして、また、機器本体内のFPGAをスレーブとして協調動作させられると判断するアダプタ本体協調動作受付判定手段を含んだ、構成をとる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を、図面を用いて説明する。

【0018】図1は、本発明の第1実施形態に係るアダプタカードシステム（機器本体にアダプタカードを接続しているシステム）の構成を示すブロック図である。図1において、10は機器本体、11はアダプタカードa、12はアダプタカードbであり、本実施形態のシステムは、機器本体10と、アダプタカードa11と、アダプタカードb12とから、構成されている。

【0019】アダプタカードa11は、FPGAa110と、ROMa111と、アダプタ制御回路a112とを含み、アダプタカードb12は、FPGA b120と、ROMb121と、アダプタ制御回路b122とを含んでいる。また、機器本体10内には、FPGA共用制御回路101と、本体回路I/F102とが含まれている。

【0020】ここで、アダプタカードa11とアダプタカードb12は、機器本体10の機能を拡張するための

カードである。アダプタカードa11のみが機器本体10に接続されていた場合、機器本体10の機能に、アダプタカードa11の機能が付加される。また、アダプタカードb12のみが機器本体10に接続されていた場合、同様に、機器本体10の機能にアダプタカードb12の機能が付加される。

【0021】図2は、図1において、アダプタカードb12が動作を休止した場合の動作の一例を示すフローチャートである。以下、図2の処理の流れに沿って、この場合の動作を説明する。

【0022】アダプタカードa11とアダプタカードb12が機器本体10に接続されていた場合、通常は、機器本体10の機能に、アダプタカードa11の機能とアダプタカードb12の機能が追加される。ここで、アダプタカードb12の機能をしばらくの間使わない時間があった場合、通常、アダプタカードb12は、動作を休止していることになる。このとき、アダプタカードb12中のアダプタ制御回路b122は、動作/休止信号b141を休止状態にし、FPGA共用制御回路101にアダプタカードb12が動作を休止していることを伝える（ステップS201）。

【0023】アダプタカードの性能を上げる必要がないとき、アダプタカードa11のアダプタ制御回路a112は、リクエスト信号a130をインアクティブにしたままである（ステップS202でNo）。アダプタカードの性能を上げる必要があるとき、アダプタ制御回路a112は、リクエスト信号a130をアクティブにし（ステップS202でYesとし）、FPGA共用制御回路101にアダプタカードa11からの要求を伝える。FPGA共用制御回路101は、アダプタカードb12からの動作/休止信号b141が休止状態になっているならば、アダプタカードa11のアダプタ制御回路a112への受付信号a132をアクティブにする（ステップS203）。

【0024】アダプタ制御回路a112は、ROMa111からFPGA2個による協調動作のデータを読み出し、FPGAa110をプログラミングし（ステップS204）、機器本体10上のROM制御バス105、ROMデータバス106を通して、アダプタカードb12上のアダプタ制御回路b122からFPGA b120をプログラミングする（ステップS205）。機能信号a113からアダプタ制御回路a112により選択された信号と、機能信号b123からアダプタ制御回路b122により選択された信号は、機器本体10上の機能信号バス104により接続される。機器本体10と入出力を行う信号は、本体回路I/F制御信号107により選択され、本体回路I/F102を通して本体回路バス103と接続される。

【0025】その後、アダプタカードa11上のFPGAa110とアダプタカードb12上のFPGA b12

0は協調して動作し、あたかもアダプタカードa11の性能が、上がったような動作を行う(ステップS206)。動作/休止信号b141が、休止状態のままだと(ステップS207でYesのままだと)、このままの動作が続けられる。

【0026】一方、動作/休止信号b141が、動作状態に変化すると(ステップS207でNoとなると)、FPGA共用制御回路101は、受付信号a132をインアクティブにする。これにより、アダプタ制御回路a112は、ROMa111からFPGA1個による動作用のデータを読み出し、FPGAa110をプログラミングする(ステップS208)。また、アダプタ制御回路b122は、ROMb121からFPGA1個による動作用のデータを読み出し、FPGA b120をプログラミングする(ステップS209)。機能信号a113

$$A \times B + C \times D + E \times F + G \times H \quad \dots\dots (1) \text{式}$$

上記(1)式の演算を行うアダプタカードであるとする。なお、アダプタカードb12は、別の処理を行うアダプタカードである。

【0030】アダプタカードa11とアダプタカードb12がそれぞれ独立して動作しているとき、アダプタカードa11は、図3のフローチャートに示すような処理を行う。以下、図3のフローチャートに沿って説明する。

【0031】A、B、C、D、E、F、G、Hの値が、機器本体10からアダプタカードa11へ書き込まれる(ステップS301)。FPGAa110内には、一度に $A \times B$ と $C \times D$ の計算を行う回路しか内蔵されていないため、 $A \times B$ と $C \times D$ の計算のみが行われ、それぞれの計算結果は、WとXのレジスタに格納される(ステップS302)。次に、 $E \times F$ と $G \times H$ の計算が行われ、YとZのレジスタに格納される(ステップS303)。

【0032】最後に、W、X、Y、Zのレジスタから読み出された値が足され、Aレジスタに格納される(ステップS304)。Aレジスタに格納された値は、計算結果として、機器本体10に戻される(ステップS305)。

【0033】上記のような計算処理に対して、FPGAa110とFPGA b120が再プログラミングされ、協調して動作するとき、アダプタカードa11とアダプタカードb12は、図4のフローチャートに示すような処理を行う。以下、図4のフローチャートに沿って説明する。

【0034】A、B、C、Dの値が機器本体10からアダプタカードa11へ書き込まれ(ステップS401)、E、F、G、Hの値が機器本体10からアダプタカードb12へ書き込まれる(ステップS403)。FPGAa110内では、 $A \times B$ と $C \times D$ の計算が行われ、それぞれの計算結果は、WとXのレジスタに格納される(ステップS402)。同時に、FPGA b120

からアダプタ制御回路a112により選択された信号と、機能信号b123からアダプタ制御回路b122により選択された信号は、機器本体10上の機能信号バス104へつながる。それらの信号は、本体回路I/F制御信号107により選択され、本体回路I/F102を通して本体回路バス103と接続される。

【0027】その後、アダプタカードa11上のFPGAa110と、アダプタカードb12上のFPGA b12は、それぞれ独立して動作する(ステップS210)。

【0028】ここで、アダプタカードa11の性能を上げると記述しているが、具体的にどのように性能を上げるかについて、一例を挙げて説明する。

【0029】いま、アダプタカードa11が、

内では、 $E \times F$ と $G \times H$ の計算が行われ、それぞれの計算結果は、YとZのレジスタに格納される(ステップS404)。

【0035】次に、アダプタカードa11内で、W、X、Y、Zのレジスタから読み出された値が足され、Aレジスタに格納される(ステップS405)。Aレジスタに格納された値は、計算結果として、機器本体10に戻される(ステップS406)。

【0036】このように、アダプタカードa11とアダプタカードb12が独立して動作したときに比べて、協調して動作したときは、積演算のステップが1ステップ減り、機器本体10に短時間で演算結果を戻すことが可能になる。

【0037】図5は、図1中のアダプタ制御回路a112の構成の一例を示すブロック図である。なお、アダプタ制御回路b122に関しても、アダプタ制御回路a112と同様の構成をとる。

【0038】図5において、51は機能信号接続部a、52は制御信号生成部a、53はROMデータ切換部a、54はROM制御信号切換部aである。

【0039】アダプタカードa11が独立して動作するとき、制御信号生成部a52は、ROM制御信号切換指示a58によりROM制御信号切換部a54を制御し、FPGA書き込み制御信号a114をROM制御信号a116に接続する。また、制御信号生成部a52は、ROMデータ切換指示a57によりROMデータ切換部a53を制御し、ROMデータa117を選択ROMデータa115に接続する。したがって、ROMa111からROMを直接読み出し、プログラミングを行うことになる。また、制御信号生成部a52は、機能信号接続情報a55により機能信号接続部a51を制御し、独立動作に機能信号a113と機能信号バス104を接続する。

【0040】アダプタカードa11がマスタとして動作

するとき、制御信号生成部a52は、ROM制御信号切換指示a58によりROM制御信号切換部a54を制御し、FPGA書き込み制御信号a114からの制御信号とROM制御バス105からの制御信号を、ROM制御信号a116を通して、ROMa111に送る。また、制御信号生成部a52は、ROMデータ切換指示a57によりROMデータ切換部a53を制御し、ROMデータa117からのデータのうちマスタ用のデータのみを、選択ROMデータa115を通してFPGAa110へ送る。スレーブ用のデータは、ROMデータバス106を通して、スレーブのアダプタカードへ送る。したがって、ROMa111からデータを読み出し、FPGAa110と、スレーブのアダプタカード内にあるFPGAのプログラミングを行うことになる。また、制御信号生成部a52は、機能信号接続情報a55により機能信号接続部a51を制御し、マスタ動作用に機能信号a113と機能信号バス104を接続する。

【0041】アダプタカードa11がスレーブとして動作するとき、制御信号生成部a52は、ROM制御信号切換指示a58によりROM制御信号切換部a54を制御し、FPGA書き込み制御信号a114からの制御信号を、ROM制御バス105を通して、マスタのアダプタカードに送る。また、制御信号生成部a52は、ROMデータ切換指示a57によりROMデータ切換部a53を制御し、ROMデータバス106から入力されるマスタのアダプタカードからのデータを、選択ROMデータa115へ送る。したがって、マスタのアダプタカードから入力したデータにより、FPGAa110のプログラミングを行うことになる。また、制御信号生成部a52は、機能信号接続情報a55により機能信号接続部a51を制御し、スレーブ動作用に機能信号a113と機能信号バス104を接続する。

【0042】図6は、図5に示した制御信号生成部a52における、動作の一例を示すフローチャートである。以下、図6に示した処理の流れに沿って、制御信号生成部a52の動作を説明する。

【0043】起動後、制御信号生成部a52は、出力信号を初期状態にする（ステップS601）。すなわち、リクエスト信号a130がインアクティブになり、動作／休止信号a131が動作状態になる。また、アダプタ制御回路a112内の3つのブロック、ROMデータ切換部a53、ROM制御信号切換部a54、機能信号接続部a51、それぞれの制御信号を独立動作にする。ここで、仮に各々の制御信号を「0」にすると独立動作、「1」にするとマスタ動作、「2」にするとスレーブ動作を行うとする。

【0044】次に、ステータス／コマンド信号a56を制御し、FPGAa110にリセットをかける（ステップS602）。ここで、ステータス／コマンド信号a56はFPGAa110の機能信号a113の一部であ

る。FPGAa110にリセットをかけることにより、FPGAa110は、ROMa111からデータを読み出す動作を開始する。独立動作に設定されているので、ROMa111から読み出された独立動作用のデータにより、FPGAa110はプログラミングされる。

【0045】図1には記載していないが、アダプタカードa11内から外部ステータス信号a59を通して、アダプタカード内の状況から、マスタ動作をすべきか、動作を休止すべきかの情報を入力する。外部ステータス信号a59やFPGAa110の状態を示すステータス／コマンド信号a56から、マスタ動作が指示されているかどうかを判定する（ステップS603）。

【0046】マスタ動作が指示されていた場合には（ステップS603でYesの場合には）、リクエスト信号a130をアクティブにし、マスタ動作を要求する（ステップS604）。次に、受付信号a132がインアクティブならば（ステップS605でNoであるならば）、ステータス情報を判定するステップS603に戻る。

【0047】受付信号a132がアクティブならば（ステップS605でYesなら）、ROMデータ切換部a53、ROM制御信号切換部a54、機能信号接続部a51、それぞれの制御信号をマスタ動作にする（ステップS606）。

【0048】次に、ステータス／コマンド信号a56を制御し、FPGAa110にリセットをかける（ステップS607）。FPGAa110にリセットをかけることにより、FPGAa110は、ROMa111からデータを読み出す動作を開始する。マスタ動作に設定されているので、ROMa111から読み出されたマスタ動作用のデータにより、FPGAa110はプログラミングされる。また、ROM制御バス105を通して、スレーブのアダプタカードに書き込み要求が送られる。スレーブのアダプタカードから、ROM制御バス105を通してROM読み出し信号が入力されるので、ROMa111から読み出されたスレーブ動作用のデータを、ROMデータバス106を通してスレーブのアダプタカードに送る。

【0049】ステップS607の後には、ステップS608において、受付信号a132がアクティブかどうかを判定し、受付信号a132がアクティブのままならば（ステップS608でYesのままならば）、マスタ動作を続ける。受付信号a132がインアクティブとなると（ステップS608でNoとなると）、起動状態の前記ステップS601に戻る。

【0050】一方、外部ステータス信号a59や、FPGAa110の状態を示すステータス／コマンド信号a56からマスタ動作が指示されているかどうかを判定する前記のステップS603において、マスタ動作が指示されていない場合には、リクエスト信号a130をイン

アクティブにし、マスタ動作要求を取り下げる（ステップS609）。

【0051】次に、外部ステータス信号a59から休止状態にすることが、指示されているかどうかを判定する（ステップS610）。

【0052】休止状態が指示されていない場合には（ステップS610でN0の場合には）、動作／休止信号a131を動作状態にして（ステップS611）、外部ステータス信号a59や、FPGAa110の状態を示すステータス／コマンド信号a56からマスタ動作が指示されているかどうかを判定する前記ステップS603に戻る。

【0053】休止状態が指示されている場合には（ステップS610でYesの場合には）、動作／休止信号a131を休止状態にする（ステップS612）。

【0054】次に、ROM制御バス105から書き込み要求が入力され、ROMデータバス106からスレーブ用のデータが入力されることが示されたかどうかを判定する（ステップS613）。

【0055】ROM制御バス105から、書き込み要求がまだ入力されないならば（ステップS613でN0であるなら）、外部ステータス信号a59から休止状態にすることが、指示されているかどうかを判定する前記ステップS610に戻る。

【0056】書き込み要求が入力されたならば（ステップS613でYesとなったら）、ROMデータ切換部a53、ROM制御信号切換部a54、機能信号接続部a51、それぞれの制御信号をスレーブ動作にする（ステップS614）。

【0057】続いて、ステータス／コマンド信号a56を制御し、FPGAa110にリセットをかける（ステップS615）。FPGAa110にリセットをかけることにより、FPGAa110は、ROMからデータを読み出す動作を開始する。スレーブ動作に設定されているので、FPGAa110からのROM読み出し信号がROM制御信号切換部a54を経て、ROM制御バス105に送られる。マスタボード上のROMから読み出されたスレーブ動作用のデータにより、FPGAa110はプログラミングされる。

【0058】ステップS615の後、ステップS616において、外部ステータス信号a59から休止状態にすることが、指示されているかどうかを判定する。休止状態が指示されれば（ステップS616でYesであるならば）、引き続きスレーブ動作を続ける。指示されていないならば（ステップS616でN0であるなら）、休止状態を解除するために、起動時の前記ステップS601に戻る。

【0059】図7は、図1のFPGA共用制御回路101における、動作の一例を示すフローチャートである。以下、FPGA共用制御回路101の動作を、図7の処

理の流れに沿って説明する。

【0060】起動後、FPGA共用制御回路101は、出力信号を初期状態にする（ステップS701）。したがって、受付信号a132、受付信号b142がインアクティブになる。また、本体回路I/F制御信号107を「0」にする。ここで、仮にアダプタカードa11とアダプタカードb12が独立動作をするとき、本体回路I/F制御信号107を「0」にして、アダプタカードa11がマスタ動作、アダプタカードb12がスレーブ動作をするとき、本体回路I/F制御信号107を「1」にして、アダプタカードa11がスレーブ動作、アダプタカードb12がマスタ動作をするとき「2」にすることにより、本体回路I/F102を制御する、とする。

【0061】続いて、リクエスト信号b140がアクティブになっているかどうかを判定する（ステップS702）。

【0062】アクティブになっていなければ（ステップS702でN0なら）、アダプタカードb12からマスタ要求が出ていないと判断し、次に、リクエスト信号a130がアクティブになっているかどうかを判定する（ステップS703）。アクティブになっていなければ（ステップS703でN0なら）、リクエスト信号b140がアクティブになっているかどうかを判定するステップS702に戻る。

【0063】リクエスト信号a130がアクティブになっている場合（ステップS703でYesなら）、アダプタカードa11からマスタ要求が出ていないと判断し、要求を受け付けるかどうか判定するために、動作／休止信号b141が休止状態になっているかどうかを判定する（ステップS704）。休止状態になっていなければ（ステップS704でN0なら）、要求を受け付けることができないので、リクエスト信号b140がアクティブになっているかどうかを判定するステップS702に戻る。

【0064】動作／休止信号b141が休止状態になっていなければ（ステップS704でYesなら）、本体回路I/F制御信号107を「1」にして、アダプタカードa11がマスタ動作、アダプタカードb12がスレーブ動作をすることを、本体回路I/F102に伝え、また、受付信号a132をアクティブすることにより、アダプタカードa11に、マスタ動作要求が受け付けられたことを伝える（ステップS705）。

【0065】ステップS705の後、ステップS706において、動作／休止信号b141が、休止状態のままであるかどうかを判定する。休止状態が続いていれば（ステップS706でYesであるなら）、動作状態に変わるまで、このステップS706を続ける。動作／休止信号b141が動作状態になると（ステップS706でN0となると）、アダプタカードb12が独立動作

を要求していると判断し、アダプタカードa11、アダプタカードb12のそれぞれが独立動作を行うようにするため、起動時のステップS701に戻る。

【0066】一方、リクエスト信号b140がアクティブかどうかを判定した前記ステップS702で、アクティブになっていた場合は（ステップS702でYesの場合は）、アダプタカードb12からマスタ要求が出ていると判断し、要求を受け付けるかどうか判定するために、動作/休止信号a131が休止状態になっているかどうかを判定する（ステップS707）。休止状態になっていなければ（ステップS707でNoであるなら）、要求を受け付けることができないので、リクエスト信号a130がアクティブになっているかどうかを判定する前記ステップS703に移る。

【0067】動作/休止信号a131が休止状態になっていれば（ステップS707でYesの場合は）、本体回路I/F制御信号107を「2」にして、アダプタカードa11がスレーブ動作、アダプタカードb12がマスタ動作をすることを、本体回路I/F102に伝え、また、受付信号b142をアクティブすることにより、アダプタカードb12に、マスタ動作要求が受け付けられたことを伝える（ステップS708）。

【0068】ステップS708の後は、ステップS709において、動作/休止信号a131が、休止状態のままであるかどうかを判定する。休止状態が続いていれば（ステップS709でYesであるなら）、動作状態に変わるまで、このステップS709を続ける。動作/休止信号a131が動作状態に変わると（ステップS709でNoとなると）、アダプタカードa11が独立動作を要求していると判断し、アダプタカードa11、アダプタカードb12のそれぞれが独立動作を行うようにするため、起動時のステップS701に戻る。

【0069】図8、図9、図10は、本体回路I/F102、アダプタ制御回路a11中の機能信号接続部a51、アダプタ制御回路b12中の機能信号接続部b81を通して、本体回路バス103、機能信号バス104、機能信号a113、機能信号b123の、それぞれのバス中のどの信号が接続されるかの例を、それぞれ示した説明図である。

【0070】図8は、図1において、アダプタカードa11とアダプタカードb12が、独立して動作した場合の説明図である。ここで、Sig0-15は本体回路バス103上の信号、ASig0-31は機能信号バス104上の信号、FSiga0-7、FSiga16-23は機能信号a113上の信号、FSigb0-7、FSigb16-23は機能信号b123上の信号である。

【0071】機能信号接続部a51上では、機能信号a113上の信号FSiga0-63のうち、FSiga0-7とFSiga16-23は、機能信号バス104上の信号ASig0-31のうち、ASig0-7とA

Sig8-15に接続される。また、機能信号接続部b81上では、機能信号b123上の信号FSigb0-63のうち、FSigb0-7とFSigb16-23は、機能信号バス104上の信号ASig0-31のうち、ASig16-23とASig24-31に接続される。

【0072】本体回路I/F102上では、機能信号バス104上の信号ASig0-31のうち、FPGAa110からのASig0-15と、FPGA b120からのASig16-31が、それぞれ本体回路バス103上のSig0-15に接続されている。

【0073】図9は、図1において、アダプタカードa11がマスタとして、アダプタカードb12がスレーブとして動作した場合の説明図である。ここで、Sig0-15は本体回路バス103上の信号、ASig0-23は機能信号バス104上の信号、FSiga0-7、FSiga16-23、FSiga32-39は機能信号a113上の信号、FSigb48-55は機能信号b123上の信号である。

【0074】機能信号接続部a51上では、機能信号a113上の信号FSiga0-63のうち、FSiga0-7とFSiga16-23とSiga32-39は、機能信号バス104上の信号ASig0-31のうち、ASig0-7とASig8-15とASig16-23に接続される。また、機能信号接続部b81上では、機能信号b123上の信号FSigb0-63のうち、FSigb48-55は、機能信号バス104上の信号ASig0-31のうち、ASig16-23に接続される。したがって、FPGAa110からの信号FSiga32-39は、機能信号バス104上でFSigb48-55と接続されることになる。

【0075】本体回路I/F102上では、機能信号バス104上の信号ASig0-31のうち、FPGAa110からのASig0-15が、本体回路バス103上のSig0-15に接続されている。したがって、FPGAa110からの信号のみが直接本体回路バス103につながるようになる。

【0076】図10は、図1において、アダプタカードa11がスレーブとして、アダプタカードb12がマスタとして動作した場合の説明図である。ここで、Sig0-15は本体回路バス103上の信号、ASig0-23は機能信号バス104上の信号、FSiga48-55は機能信号a113上の信号、FSigb0-7、FSigb16-23、FSigb32-39は機能信号b123上の信号である。

【0077】機能信号接続部a51上では、機能信号a113上の信号FSiga0-63のうち、FSiga48-55は、機能信号バス104上の信号ASig0-31のうち、ASig16-23に接続される。また、機能信号接続部b81上では、機能信号b123上

の信号FSigb0-63のうち、FSigb0-7とFSigb16-23とFSigb32-39は、機能信号バス104上の信号ASig0-31のうち、ASig0-7とASig16-23とASig32-39に接続される。したがって、FPGAa110からの信号FSigal6-23は、機能信号バス104上でFSigb32-39と接続されることになる。

【0078】本体回路I/F102上では、機能信号バス104上の信号ASig0-31のうち、FPGA b110からのASig0-15が、本体回路バス103上のSig0-15に接続されている。したがって、FPGA b120からの信号のみが直接本体回路バス103につながるようになる。

【0079】図11は、本発明の第2実施形態に係るアダプタカードシステム（機器本体にアダプタカードを接続しているシステム）の構成を示すブロック図である。図11において、1100は機器本体、1101はアダプタカードa、1102はアダプタカードb、1103はアダプタカードcであり、本実施形態のシステムは、機器本体1100と、アダプタカード1101aと、アダプタカードb1102と、アダプタカードc1103とから、構成されている。

【0080】アダプタカードa1101はアダプタ制御回路a1105を含み、アダプタカードb1102はアダプタ制御回路a1106を含み、アダプタカードc1103はアダプタ制御回路a1107を含んでいる。また、機器本体1100はFPGA共用制御回路1104を含んでいる。ここで、各アダプタカード内のFPGA、ROM、および、機器本体1100内の本体回路I/Fは、図1と同様な構成である。

【0081】アダプタカードa1101とアダプタカードb1102とアダプタカードc1103は、機器本体1100の機能を拡張するためのカードである。アダプタカードa1101のみが機器本体1100に接続されていた場合、機器本体1100の機能に、アダプタカードa1101の機能が付加される。また、アダプタカードb1102のみが機器本体1100に接続されていた場合、同様に、機器本体1100の機能に、アダプタカードb1102の機能が付加される。また、アダプタカードc1103のみが機器本体1100に接続されていた場合、同様に、機器本体1100の機能に、アダプタカードc1103の機能が付加される。

【0082】図12は、図11において、アダプタカードa1101がマスタになる場合の動作の一例を示すフローチャートである。以下に、図12の処理の流れに沿って、この場合の動作を説明する。

【0083】それぞれのアダプタカード中のFPGAは、起動時、独立動作用にプログラミングされ、別々に動作を開始する（ステップS1201）。

【0084】次のステップS1202において、アダプ

タカードa1101が休止状態であることが、アダプタ制御回路a1105からFPGA共用制御回路1104へ伝えられた場合は（ステップS1202でYesの場合は）、所定の動作を行う（ここでは省略）。

【0085】アダプタカードa1101が休止状態でない場合は（ステップS1202でNoの場合は）、次のステップS1203で、アダプタカードb1102が休止状態であるかどうか判定する。アダプタカードb1102が休止状態であることが、アダプタ制御回路b1106からFPGA共用制御回路1104へ伝えられた場合は（ステップS1203でYesの場合は）、所定の動作を行う（ここでは省略）。

【0086】アダプタカードb1102が休止状態でない場合は（ステップS1203でNoの場合は）、次のステップS1204で、アダプタカードc1103が休止状態であるかどうか判定する。アダプタカードc1103が休止状態でないことが、アダプタ制御回路c1107からFPGA共用制御回路1104へ伝えられた場合は（ステップS1204でNoの場合は）、どのカードも休止状態になっていないので、もう一度アダプタカードa1101が休止状態かどうかを見るステップS1202に戻る。

【0087】アダプタカードc1103が休止状態である場合は（ステップS1204でYesの場合は）、次のステップS1205において、アダプタカードa1101が、マスタ要求中であるかどうか判定する。アダプタカードa1101が、マスタ要求中でないことが、アダプタ制御回路a1105からFPGA共用制御回路1104へ伝えられた場合は（ステップS1205でNoの場合は）、所定の動作を行う（ここでは省略）。

【0088】アダプタカードa1101が、マスタ要求中の場合は（ステップS1205でYesの場合は）、アダプタカードc1103をアダプタカードa1101のスレーブとする動作を行う（ステップS1206）。すなわち、アダプタカードc1103上のFPGAは、アダプタカードa1101上のFPGAのスレーブとなるようにプログラミングされ、アダプタカードa1101上のFPGAはスレーブを1つ持つようにプログラミングされる。

【0089】ステップS1206の後は、次のステップS1207において、アダプタカードa1101が、マスタ要求を続けているかどうかを判定する。マスタ要求を続けていなければ（ステップS1207でNoの場合は）、起動状態のステップS1201に戻る。

【0090】アダプタカードa1101が、マスタ要求を続けている場合は（ステップS1207でYesの場合は）、次のステップS1208において、アダプタカードc1103が、休止状態を続けているかどうかを判定する。休止状態を続けていなければ（ステップS1208でNoの場合は）、起動状態のステップS1201

に戻る。

【0091】アダプタカードc1103が、休止状態を続けている場合は（ステップS1208でYesの場合は）、次のステップS1209において、アダプタカードb1102が、休止状態になっているかどうかを判定する。休止状態になっていなければ（ステップS1209でNoの場合は）、アダプタカードa1101が、マスタ要求を続けているかどうかを判定するステップS1207に戻る。

【0092】アダプタカードb1102が、休止状態になっている場合は（ステップS1209でYesの場合は）、アダプタカードb1102とアダプタカードc1103をアダプタカードa1101のスレーブとする動作を行う（ステップS1210）。すなわち、アダプタカードb1102とアダプタカードc1103は、アダプタカードa1101の1つ目のスレーブと、2つ目のスレーブとなるようにプログラミングされる。

【0093】ステップS1210の後、次のステップS1211において、アダプタカードa1101が、マスタ要求を続けているかどうかを判定する。マスタ要求を続けていなければ（ステップS1211でNoの場合は）、アダプタカードa1101をマスタにする必要はないので、起動状態のステップS1201に戻る。

【0094】アダプタカードa1101が、マスタ要求を続けている場合は（ステップS1211でYesの場合は）、次のステップS1212で、アダプタカードb1102が休止状態を続けているかどうかを判定する。休止状態を続けていない場合は（ステップS1212でNoの場合は）、現在のマスタ、スレーブ関係が成り立たないので、起動状態のステップS1201に戻る。

【0095】アダプタカードb1102が、休止状態を続けている場合は（ステップS1212でYesの場合は）、次のステップS1213で、アダプタカードc1103が、休止状態を続けているかどうかを判定する。休止状態を続けていない場合は（ステップS1213でNoの場合は）、現在のマスタ、スレーブ関係が成り立たないので、起動状態のステップS1201に戻る。休止状態を続けている場合は（ステップS1213でYesの場合は）、現在のマスタ、スレーブ関係が続くため、アダプタカードa1101が、マスタ要求を続けているかどうかを判定するステップS1211に戻る。

【0096】図13は、本発明の第3実施形態に係るアダプタカードシステム（機器本体にアダプタカードを接続しているシステム）の構成を示すブロック図である。図13において、1300は機器本体、1301はFPGAであり、本実施形態のシステムでは、機器本体1300内にも、FPGAを内蔵した構成をとっている。なお、図13においては、機器本体1300に接続されるアダプタカードについては、図示を省略してあるが、本実施形態においても、図1に示した前記第1実施形態

と同様に、機器本体には、アダプタカードa11、アダプタカードb12が接続されており、各アダプタカードの構成や、機器本体内の本体回路I/Fの構成は、前記第1実施形態と同様である。

【0097】本実施形態における機器本体1300内のFPGA1301は、アダプタカードのうちどれかのスレーブになり、アダプタカードの性能を上げるために使われる。

【0098】図14は、図15の構成において、FPGA1301が、アダプタカードa11またはアダプタカードb12のスレーブとなる場合の、動作の一例を示すフローチャートである。以下、この場合の動作を、図14の処理の流れに沿って説明する。

【0099】起動時、まず、アダプタカードa11中のFPGAa110とアダプタカードb12中のFPGA b120は、別々にプログラミングされ、独立に動作する（ステップS1401）。

【0100】次に、ステップS1402において、アダプタカードa11が、マスタ動作を要求しているかどうかを判定する。

【0101】アダプタカードa11が、マスタ動作を要求している場合は（ステップS1402でYesの場合は）、アダプタカードa11中のFPGAa110をマスタに、FPGA1301をスレーブに、それぞれプログラミングする（ステップS1403）。

【0102】ステップS1403の後、ステップS1404において、アダプタカードa11が、マスタ動作要求を続けているかどうかを判定する。マスタ動作要求を続けている場合は（ステップS1404でYesの場合は）、このステップS1404にとどまり、現在のマスタ、スレーブ関係を継続する。アダプタカードa11がマスタ動作要求を止めれば（ステップS1404でNoの場合は）、独立動作に戻すため、起動状態のステップS1401に戻る。

【0103】一方、アダプタカードa11が、マスタ動作を要求しているかどうかを判定するステップS1402において、マスタ動作を要求していなかった場合は（ステップS1402でNoの場合は）、次のステップS1405で、アダプタカードb12が、マスタ動作を要求しているかどうかを判定する。マスタ動作を要求していなければ（ステップS1405でNoの場合は）、どちらのアダプタカードもマスタ動作を要求していないので、起動時のステップS1401に戻る。

【0104】アダプタカードb12が、マスタ動作を要求している場合は（ステップS1405でYesの場合は）、アダプタカードb12中のFPGA b120をマスタに、FPGA1301をスレーブに、それぞれプログラミングする（ステップS1406）。

【0105】ステップS1406の後、ステップS1407で、アダプタカードa11が、マスタ動作を要求

しているかどうかを判定する。マスタ動作を要求している場合は（ステップS1407でYesの場合は）、アダプタカードa11とアダプタカードb12のどちらもマスタを要求していることになる。この場合、アダプタカードa11が優先するので、起動状態のステップS1401に戻る。

【0106】アダプタカードa11が、マスタ動作を要求していない場合は（ステップS1407でNoの場合は）、次のステップS1408で、アダプタカードbがマスタ動作要求を続けているかどうかを判定する。マスタ動作要求を続けている場合は（ステップS1408でYesの場合は）、現在のマスタ、スレーブ関係を継続するため、アダプタカードa11が、マスタ動作を要求しているかどうかを判定するステップS1407へ戻る。アダプタカードbがマスタ動作要求を止めた場合には（ステップS1408でNoの場合には）、独立動作に戻すため、起動状態のステップS1401に戻る。

【0107】

【発明の効果】請求項1に記載のアダプタカードシステムによれば、一時的に動作していないアダプタカード中の回路を、別の機能に使用することができ、複数のアダプタカードが協調して動作することにより、動作中のアダプタカードの性能を上げることが可能になる。

【0108】また、請求項2に記載のアダプタカードシステムによれば、アダプタ制御回路を、機能信号接続部と、ROMデータ切換部と、ROM制御信号切換部と、制御信号生成部から構成することにより、請求項1の効果に加えて、FPGAの入出力信号と、FPGAをプログラミングするデータと、ROMの読み出し制御信号の切り換えを、容易に行うことが可能になる。

【0109】また、請求項3に記載アダプタカードシステムによれば、制御信号生成部がFPGA共用制御回路とハンドシェイクを行いながら、アダプタカード内のブロックの制御を行うことにより、請求項2の効果に加えて、FPGAの入出力信号と、FPGAをプログラミングするデータと、ROMの読み出し制御信号の切り換えを、さらに容易に行うことが可能になる。

【0110】また、請求項4に記載のアダプタカードシステムによれば、FPGA共用制御回路が各アダプタカードからのステータス信号、要求信号を受け取り、各アダプタカードの状態により、必要に応じて要求を受け付ける動作を行うことにより、請求項1の効果に加えて、2つ以上のアダプタカードからの要求に対して、スムーズに対応することが可能になる。

【0111】また、請求項5に記載のアダプタカードシステムによれば、FPGA共用制御回路と各アダプタ制御回路が、3つ以上のアダプタカードを機器本体に接続して協調動作を行うことを可能としているので、1つのアダプタカードが2つ以上のアダプタカードをスレーブとして協調動作させることにより、請求項1の効果に加

えて、さらに動作中のアダプタカードの性能を上げることが可能になる。

【0112】また、請求項6に記載のアダプタカードシステムによれば、機器本体内にも協調動作のFPGAを内蔵しているので、必要に応じて、アダプタカード中のFPGAと機器本体内のFPGAを協調動作させることができ、一時的に動作していないアダプタカードがない場合でも、アダプタカードの性能を上げることが可能になる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るアダプタカードシステムの構成を示すブロック図である。

【図2】本発明の第1実施形態において、アダプタカードbが動作を休止した場合の、処理の一例を示すフローチャートである。

【図3】本発明の第1実施形態において、2つのアダプタカードが独立して動作した場合の、処理の一例を示すフローチャートである。

【図4】本発明の第1実施形態において、マスタアダプタカードとスレーブアダプタカードの組み合わせで、マスタアダプタカードの性能を上げる処理の一例を示すフローチャートである。

【図5】図1のアダプタ制御回路aの構成の一例を示すブロック図である。

【図6】図5の制御信号生成部aにおける、動作の一例を示すフローチャートである。

【図7】図1のFPGA共用制御回路における、動作の一例を示すフローチャートである。

【図8】本発明の第1実施形態において、アダプタカードaとアダプタカードbが、独立して動作した場合の、本体回路I/F、機能信号接続部a、機能信号接続部b中で接続する信号の一例を示す説明図である。

【図9】本発明の第1実施形態において、アダプタカードaがマスタとして、アダプタカードbがスレーブとして動作した場合の、本体回路I/F、機能信号接続部a、機能信号接続部b中で接続する信号の一例を示す説明図である。

【図10】本発明の第1実施形態において、アダプタカードaがスレーブとして、アダプタカードbがマスタとして動作した場合の、本体回路I/F、機能信号接続部a、機能信号接続部b中で接続する信号の一例を示す説明図である。

【図11】本発明の第2実施形態に係るアダプタカードシステムの構成を示すブロック図である。

【図12】本発明の第2実施形態における、動作の一例を示すフローチャートである。

【図13】本発明の第3実施形態に係るアダプタカードシステムの構成を示す要部ブロック図である。

【図14】本発明の第3実施形態における、動作の一例を示すフローチャートである。

【図15】従来のアダプタカードシステムの一例を示すブロック図である。

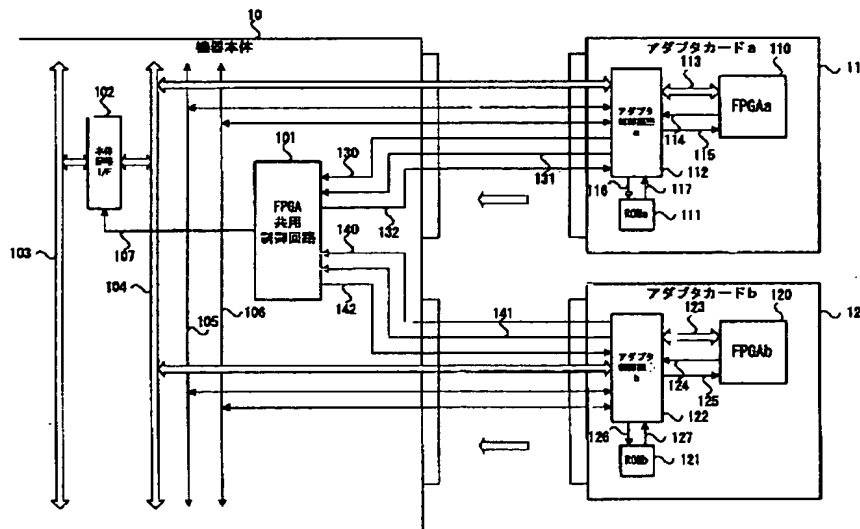
【図16】図15の従来のシステムにおいて、本体回路バス中の信号と各FPGAの信号の、接続の一例を示す説明図である。

【符号の説明】

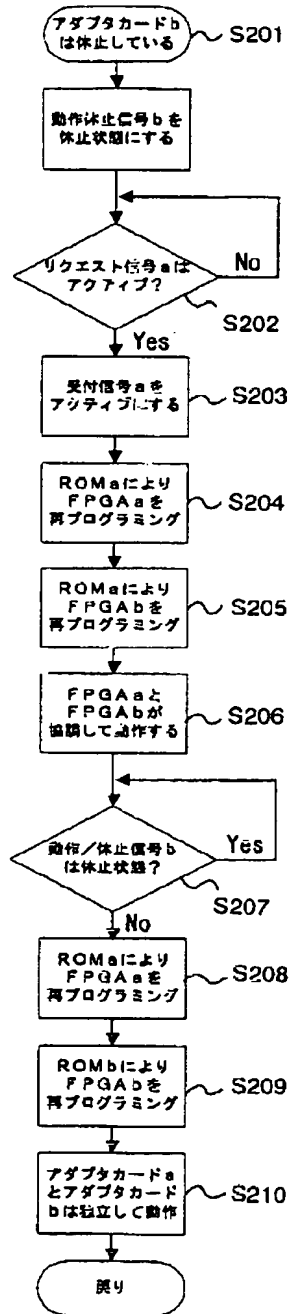
10、1100、1300、1500 機器本体
 11、1101、1501 アダプタカードa
 12、1102、1502 アダプタカードb
 51 機能信号接続部a
 52 制御信号生成部a
 53 ROMデータ切換部a
 54 ROM制御信号切換部a
 55 機能信号接続情報a
 56 ステータス／コマンド信号a
 57 ROMデータ切換指示a
 58 ROM制御信号切換指示a
 59 外部ステータス信号a
 81 機能信号接続部b
 101、1104 FPGA共用制御回路
 102 本体回路I/F
 103、1510 本体回路バス
 104 機能信号バス
 105 ROM制御バス
 106 ROMデータバス
 107 本体回路I/F制御信号
 110、1520 FPGAa

111、1521 ROMa
 112、1105 アダプタ制御回路a
 113 機能信号a
 114 FPGA書き込み制御信号a
 115 選択ROMデータa
 116、1523 ROM制御信号a
 117、1522 ROMデータa
 120、1530 FPGA b
 121、1531 ROMb
 122、1106 アダプタ制御回路b
 123 機能信号b
 124 FPGA書き込み制御信号b
 125 選択ROMデータb
 126、1533 ROM制御信号b
 127、1532 ROMデータb
 130、1108 リクエスト信号a
 131、1109 動作／休止信号a
 132、1110 受付信号a
 140、1111 リクエスト信号b
 141、1112 動作／休止信号b
 142、1113 受付信号b
 1103 アダプタカードc
 1107 アダプタ制御回路c
 1114 リクエスト信号c
 1115 動作／休止信号c
 1116 受付信号c
 1301 FPGA d

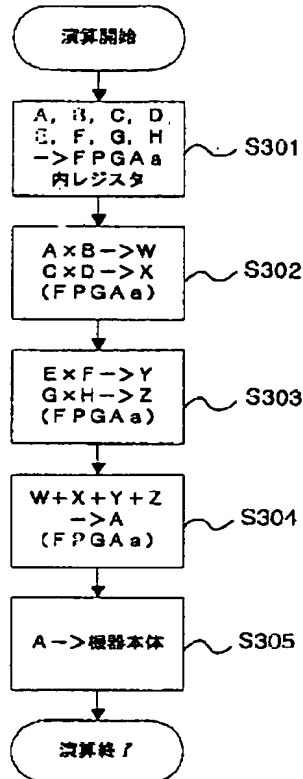
【図1】



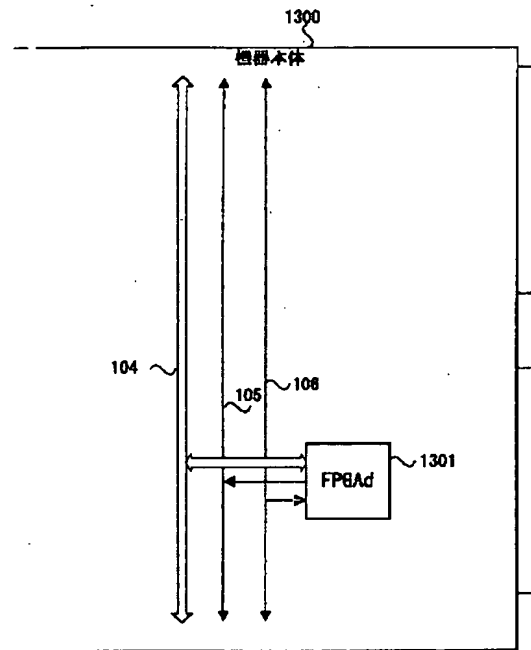
【図2】



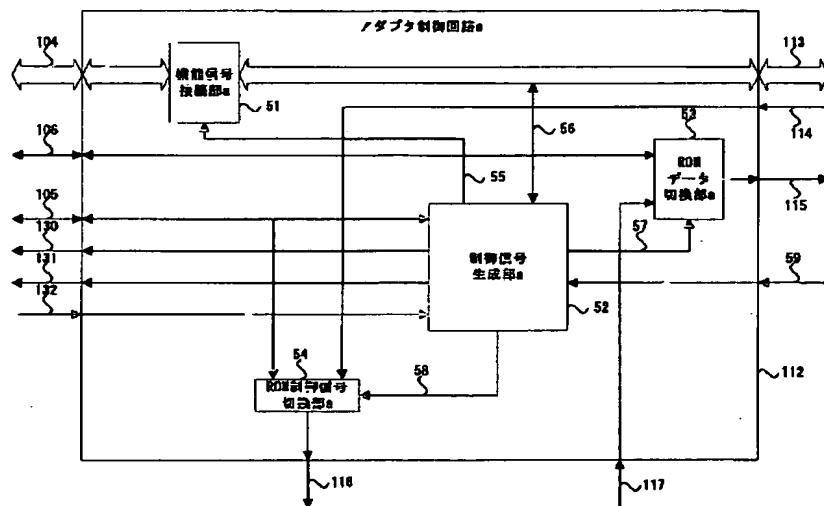
【図3】



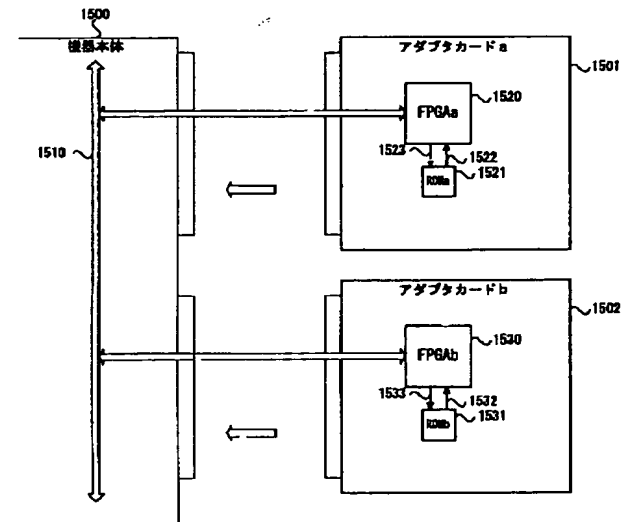
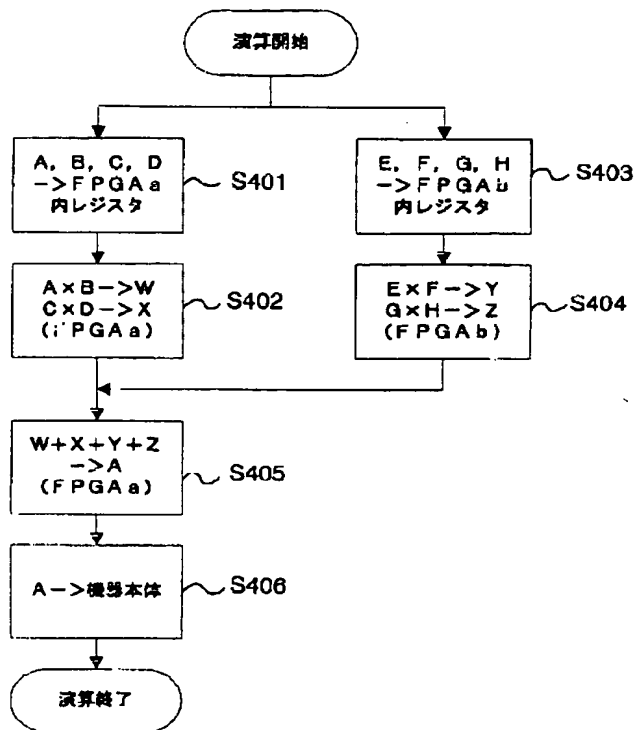
【図13】



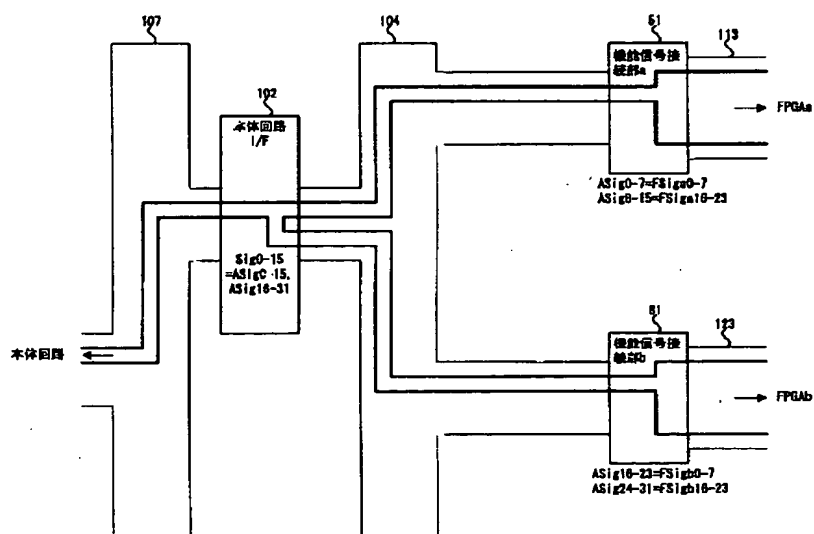
【図5】



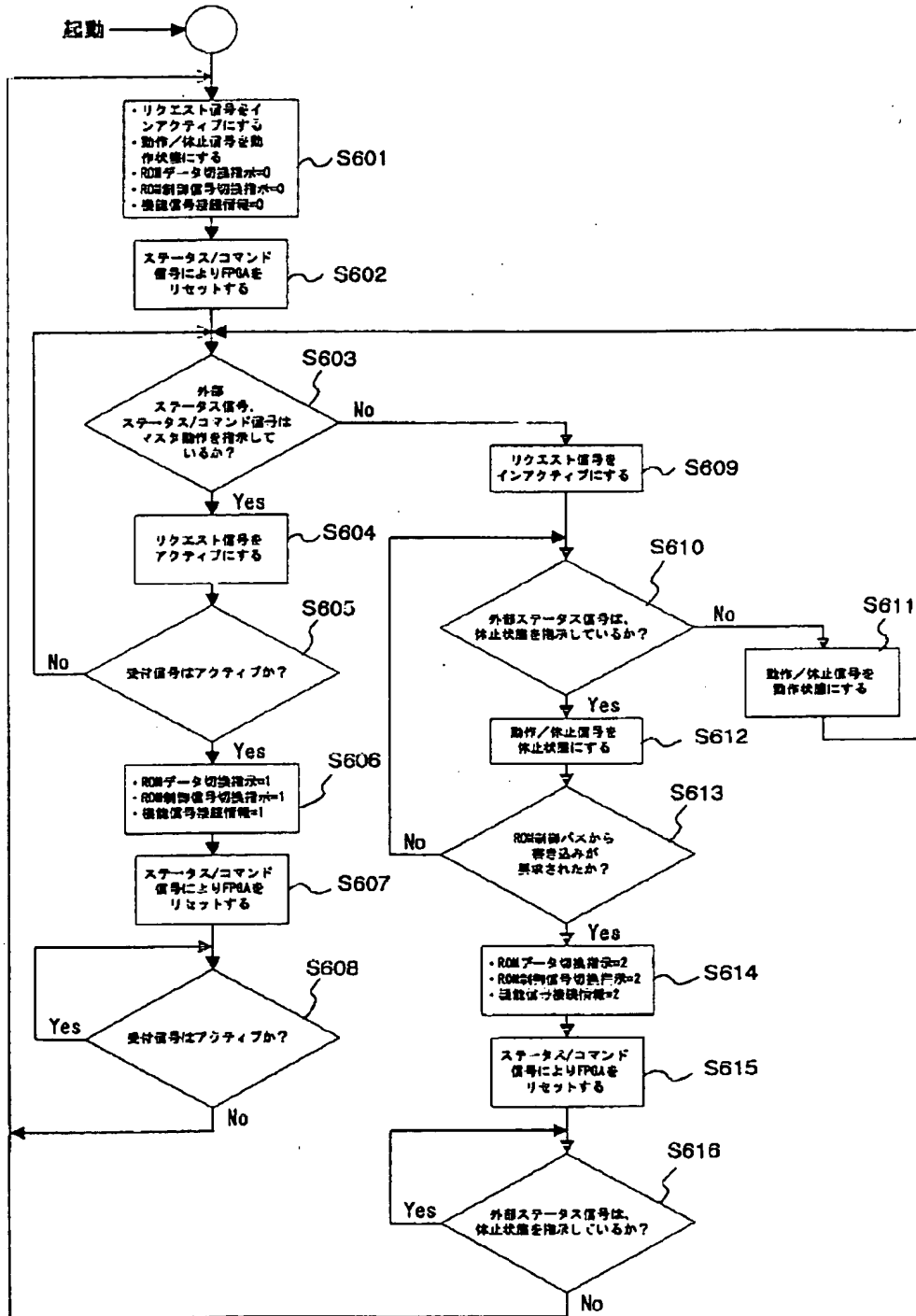
【図15】



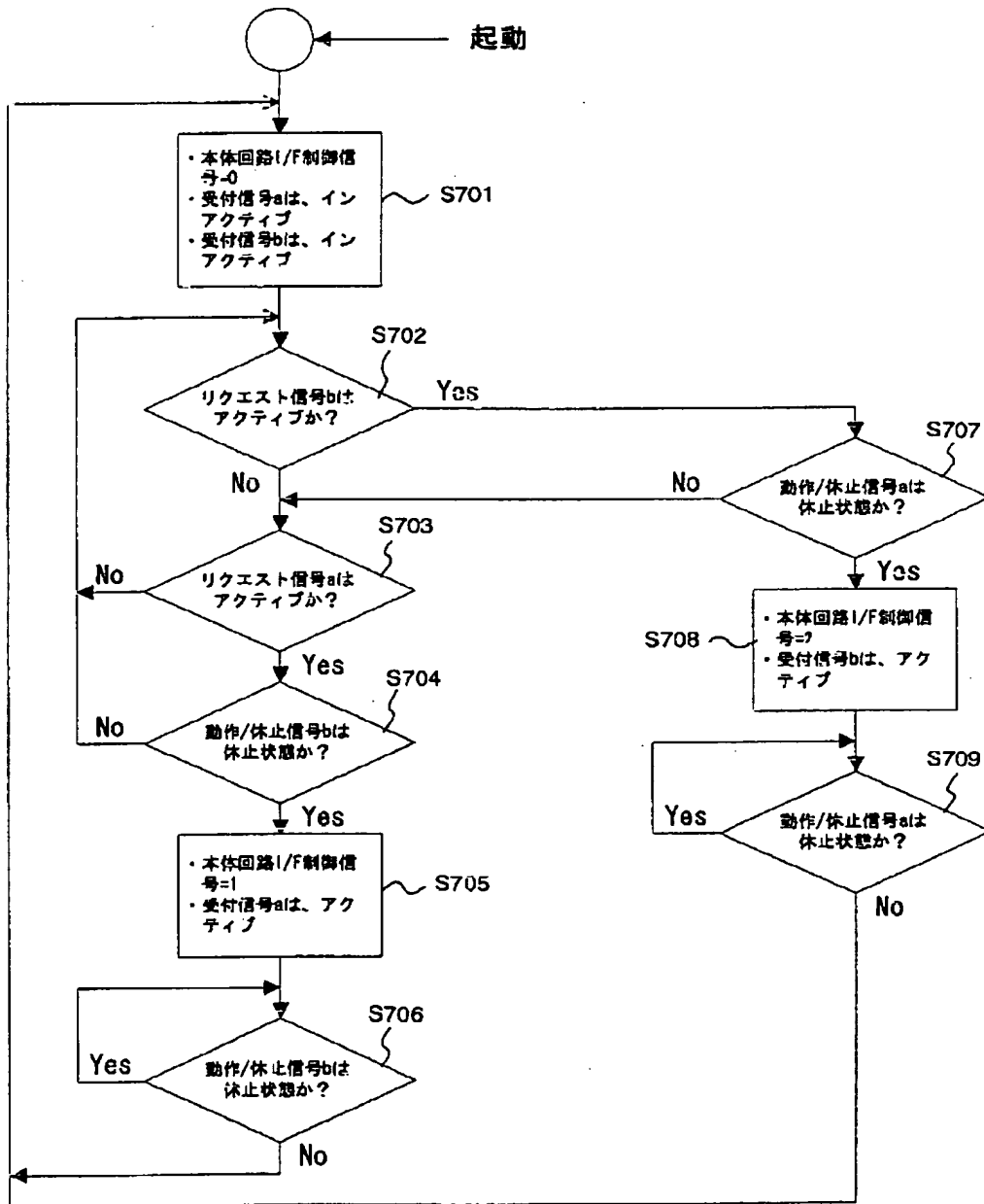
【図8】



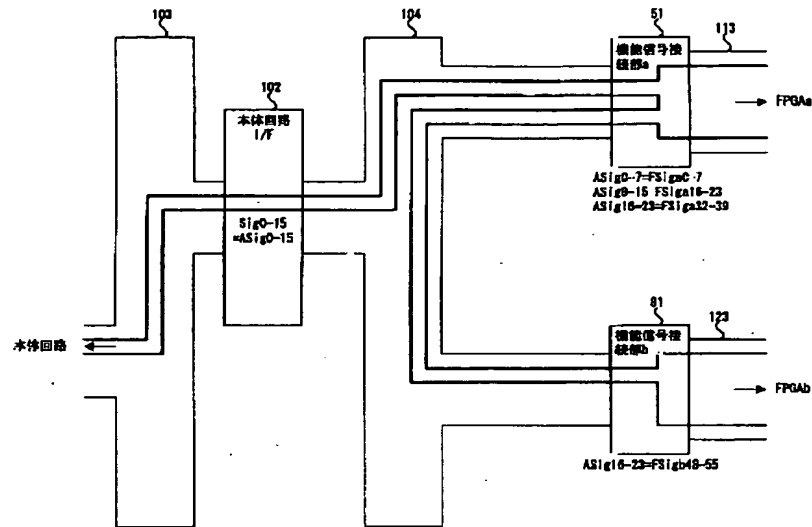
【図6】



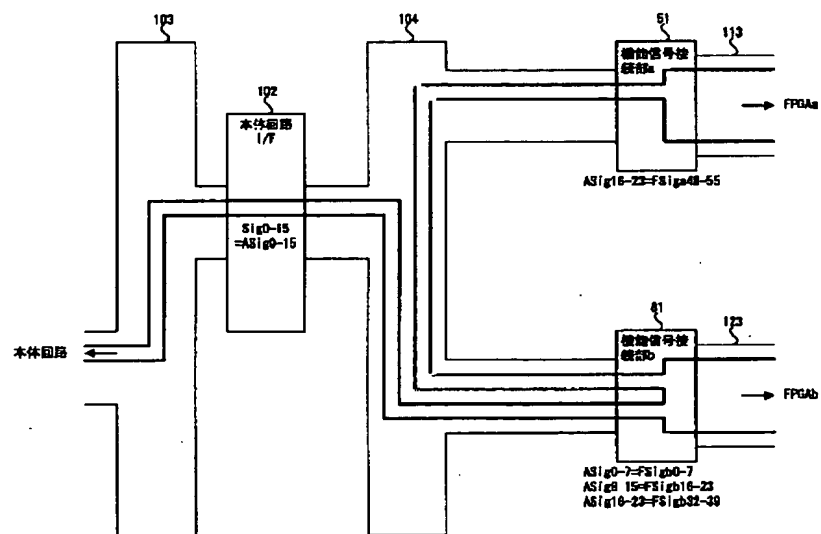
【図7】



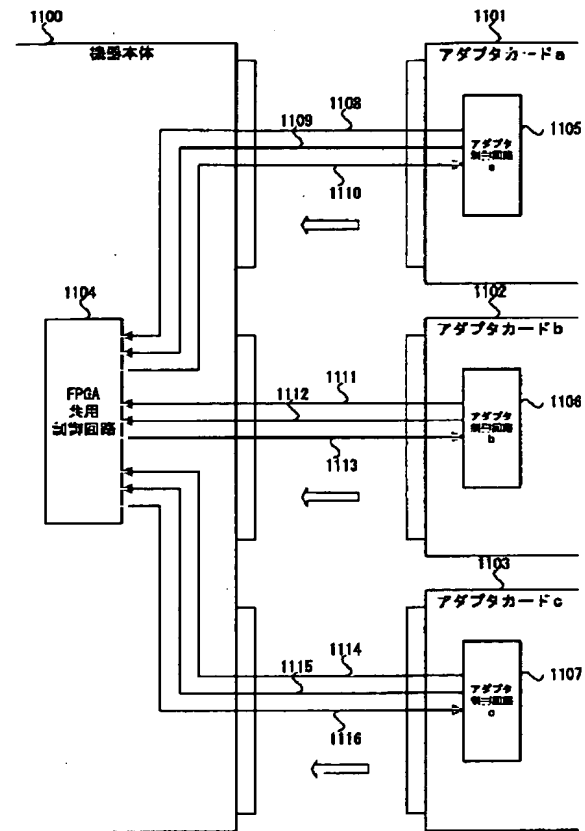
【図9】



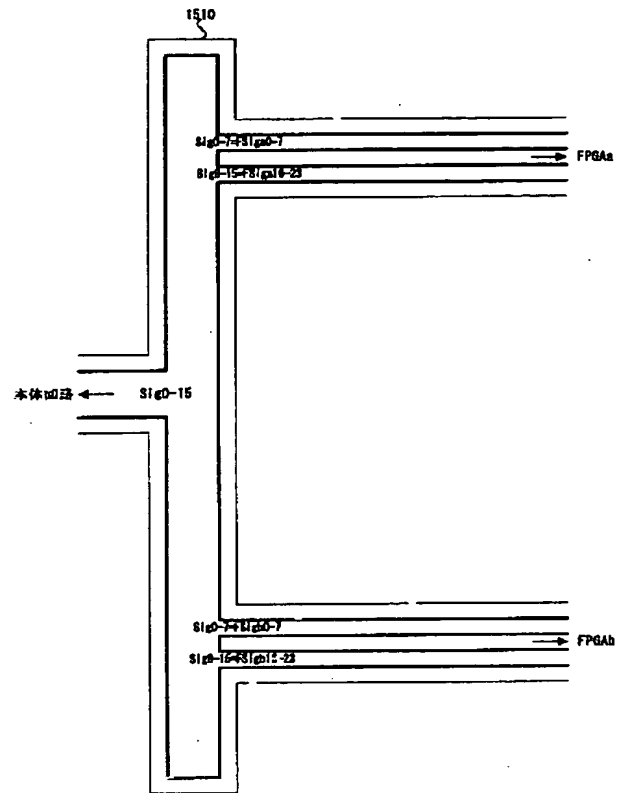
【図10】



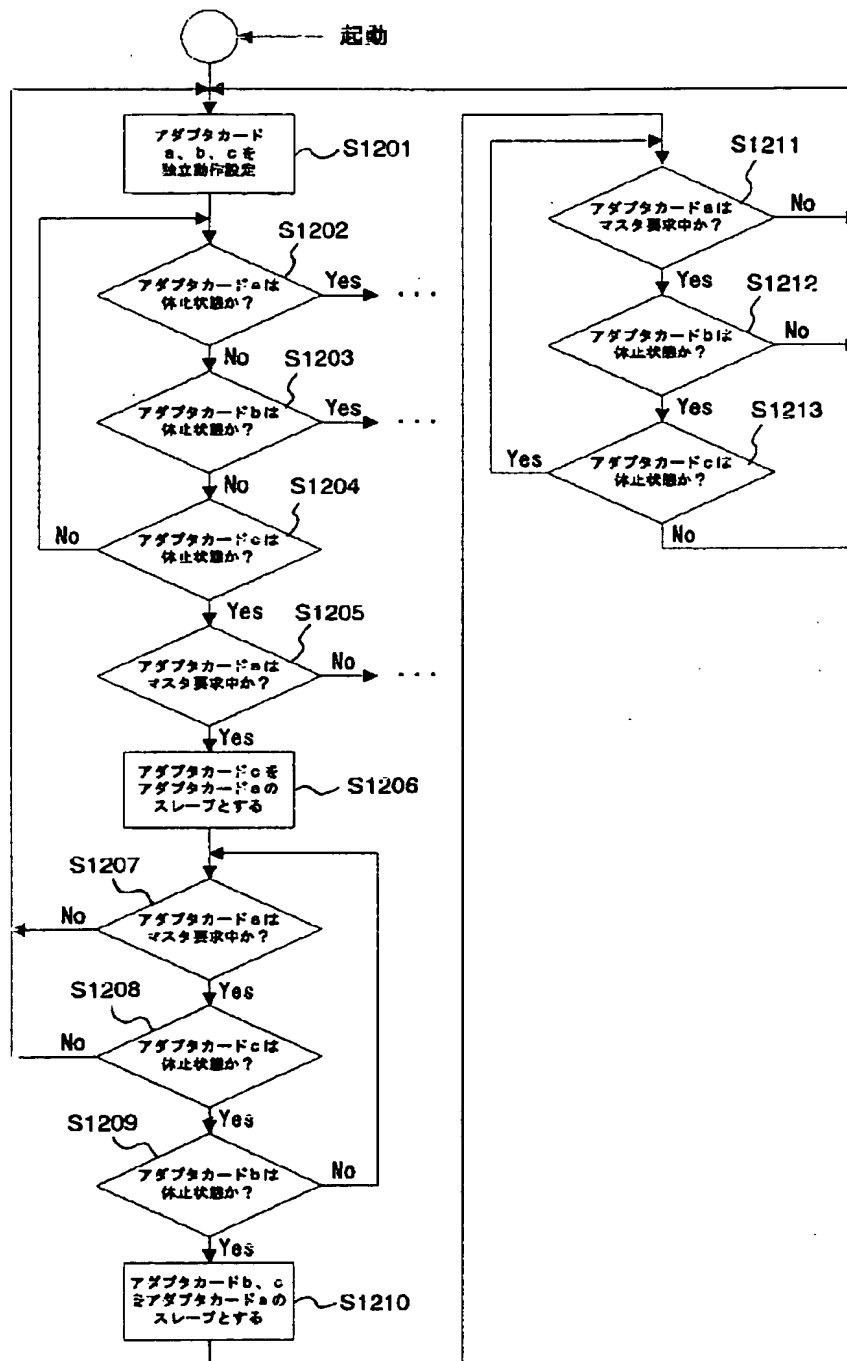
【図11】



【図16】



【図12】



【図14】

